

電動車両用パワーエレクトロニクス機器における 次世代 SiC パワー半導体を用いた電力回路技術

Power Circuit Technology using Next-generation SiC Power Semiconductors
for Power Electronics Devices in Electric Powertrain

江 越 智 代*
Tomoyo EGOSHI

篠 原 貞 夫*
Sadao SHINOHARA

要 旨

ABSTRACT

小型化や高効率化が期待される次世代 Silicon Carbide (SiC) パワー半導体を使用した電力回路において、性能を活かした最適設計をおこなうことが求められる。SiC パワー半導体の特徴である高速スイッチングの過渡応答に関わる回路部品をすべて洗い出し、シミュレーション回路にて実測との合わせこみをおこなった結果、誤差4%以内の電圧、電流波形が得られた。

このシミュレーション回路技術を用いて、電力回路設計における重要な回路部品を抽出した。効率や Electro Magnetic Interference (EMI) 性能に関わる寄生インピーダンス部位において、最適値を導くことによりスイッチング損失低減効果およびノイズ低減効果を確認できた。

Next-generation silicon carbide (SiC) power semiconductors are expected to offer size reductions and increased efficiency. Optimized design is necessary for the power circuits employing these semiconductors in order to exploit their performance potential. The identification of each circuit element related to transient response during high-speed switching, a characteristic of SiC power semiconductors, and the correlation of circuit simulation models with the results of actual measurements, made it possible to obtain voltage and current waveforms to within a 4% level of error.

Using this circuit simulation technology, the most important circuit elements to power circuit design were identified. The employment of optimized values in sections of the circuit in which parasitic impedance affected efficiency and electromagnetic interference (EMI) performance was shown to reduce switching loss and noise.

1. まえがき

電動車両などに搭載されているインバータやコンバータなどパワーエレクトロニクス機器は大電力化に伴い、さらなる小型化や高効率化および EMI の低減が求められている。パワーエレクトロニクス機器におけるキー技術の一つにパワー半導体技術がある。現在の主流は Silicon (Si) 半導体であるが、性能は飽和しつつある中で、超低損失の期待が大きい次世代パワー半導体の一つである SiC 半導体の研究開発が進んでいる。しかし、SiC パワー半導体は高速スイッチング動作が可能であるがゆえに、効率の低減や EMI の増大など車載適用に課題があり、最適な電力回路設計が必要となる。

設計手段として用いるシミュレーション回路技術にお

いて、パワー半導体チップや電力配線などの寄生インピーダンスは忠実に回路を再現するための重要なパラメータとなる。このようなパラメータを反映したシミュレーション回路技術を確立することにより、(1) SiC パワー半導体における高速スイッチング動作の再現性ある電力回路の作成、(2) SiC パワー半導体の高速スイッチング動作に起因する EMI 発生時の電圧、電流の解析と評価、が可能となる。

本報告では、SiC パワー半導体の高速スイッチング動作を再現したシミュレーション回路と電圧、電流波形により EMI に影響のある重要な部位の抽出とノイズ低減効果について述べる。ここで、電圧、電流波形は機器の損失や、システムとしての効率に関わってくるという点においても、高い再現性を得ることは重要である。

*四輪 R&D センター

Table 1 Comparative characteristics of new semiconductor material and Si

Material Physicality	New semiconductor			Conventional semiconductor
	SiC (4H)	Diamond	GaN	Si
Breakdown strength (10^6 V/cm)	2.5	10.0	3.3	0.3
Energy bandgap (eV)	3.26	5.47	3.39	1.12
Electronic saturation velocity (10^7 cm/s)	2.2	2.7	2.7	1.0
Thermal conductivity (W/cm·K)	4.9	20.9	2.0	1.5
Stage of wafer manufacturing technology	Mass production in part	Research	Development	Mass production

2. SiC パワー半導体の特徴と適用課題

Fig. 1 に Si 材料と SiC 材料のオン抵抗理論限界ライングラフを示す。これにより SiC 材料は Si 材料に対し、飛躍的にオン抵抗性能の向上が期待されることがわかる。

性能向上見通しとして、Table 1 に新半導体材料および従来半導体材料である Si の物性比較を示す⁽¹⁾。ここで、パワー半導体の重要なパラメータであるオン抵抗 $R_{on}A$ は式 (1) で表される⁽²⁾。

$$R_{on}A = \frac{4V_B^2}{\mu\epsilon E_c^3} \quad (1)$$

V_B : 耐電圧

μ : バルク移動度

ϵ : 誘電率

E_c : 絶縁破壊強度

式 (1) より、オン抵抗は E_c の 3 乗に反比例する。Table 1 より、新半導体材料の E_c は Si 比 8 倍以上であるため、チップを薄くできオン抵抗の低減が期待される。

また、高耐圧パワー半導体では、ユニポーラデバイス構造である Metal Oxide Semiconductor Field Effect Transistor (MOSFET) より耐圧が高くてできるバイポーラとユニポーラの複合デバイスである Insulated Gate Bipolar Transistor (IGBT) が主流であるが、耐圧が高い SiC パワー半導体を採用することによりユニポーラデバイス構造が可能となり高速スイッチングが可能となる。

次世代パワー半導体材料として、ダイヤモンドおよび GaN は SiC 同様に高いポテンシャルを有するが、ウェハ

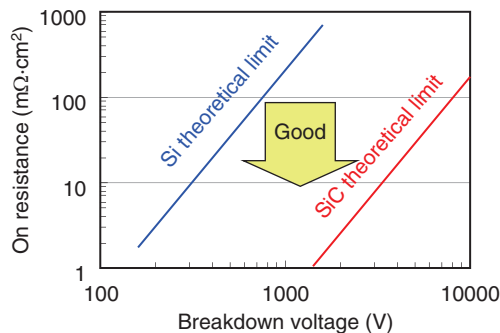


Fig. 1 Si and SiC theoretical limit line

の製造技術状況を考慮すると、ダイヤモンドは研究段階、GaN は開発段階であるのに対し、一部量産まで開発の進んでいる SiC 材料を用いたデバイスが現時点では最も期待される新材料半導体デバイスとなる。

一方、SiC パワー半導体を適用する際の課題としては、SiC の特徴である高速スイッチング動作が故に、寄生インピーダンスにより引き起こされる電圧、電流のサージ、リングングおよびコモンモード電流が増大し、SiC の持つ高性能を十分に活かすことができないという課題がある。

これらの課題対策には、完成車適合する電力回路設計が重要であり、最適電力回路の開発や解析のためシミュレーション回路技術が不可欠となる。

3. シミュレーション回路技術

シミュレーション回路モデルを作成するにあたり、パワー半導体チップ構造仕様はハイブリッド自動車や電気自動車などの電動車両に適用可能な SiC パワー-MOSFET および Schottky Barrier Diode (SBD) を選択した。Fig. 2 にそれぞれの素子記号を示す。ここで、ドレインとソース間の電圧 V_{ds} 、ドレイン電流 I_d 、ゲートとソース間の電圧 V_{gs} 、アノードとカソード間の電圧 V_f 、アノード電流 I_f である。

電動車両におけるパワープラントシステム回路の一例を表すと Fig. 3 のようになる。ここで、バッテリーとボデー間の寄生容量 C_b 、インバータとボデー間の寄生容量 C_i 、三相線とボデー間の寄生容量 C_m 、モータとボデー間の寄生容量 C_m である。シミュレーションモデルシステムとしては、Fig. 4 に示すようにインバータやコンバータなどの基本となる Single Ended Push-Pull 回路を用いた。 C_i' は SiC-MOSFET, SBD power module の構造により決定する寄生容量である。また、コモンモード電流においては、モータ

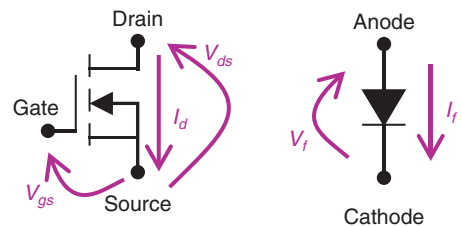


Fig. 2 MOSFET and SBD symbol

など各々の機器にボデー間との寄生容量が存在するが、ここでは簡易的にモータ、バッテリーや三相線の寄生容量を足し合わせ、PN間に分割した寄生容量 C_0 とし、相対的にコモンモード電流の影響が解析できる等価回路とした。

シミュレーション回路技術の手順を下記に示す。

- (1) 回路パラメータの洗い出し
- (2) パワー半導体チップモデルのフィッティング
- (3) 寄生インピーダンスの算出
- (4) 回路モデルの作成
- (5) 実験との検証

3.1. 回路パラメータの洗い出し

Table 2 にシミュレーション回路作成に必要となるパラメータの一覧を示す。パワー半導体チップの各間容量を Fig. 5 に示し、ドレインとゲート間の容量 C_{dg} 、ドレインとソース間の容量 C_{ds} 、ゲートとソース間の容量 C_{gs} 、アノードとカソード間の容量 C_{ac} を表す。パラメータは、チップでは電気特性（静特性および動特性）、寄生インピーダンスではバスバなどの構成物における寄生インピーダンスすべてを洗い出した。

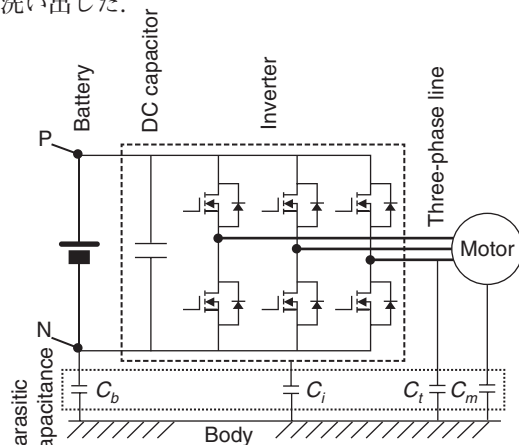


Fig. 3 System model

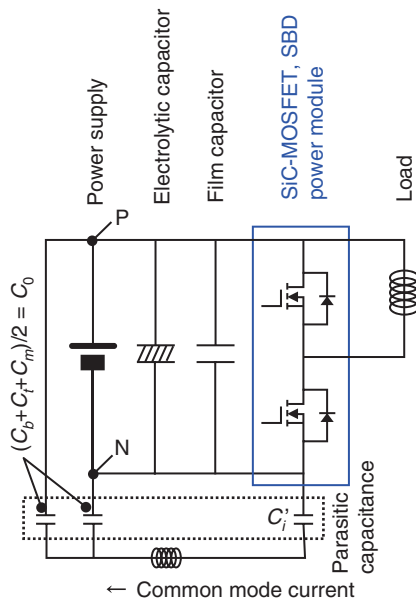


Fig. 4 Simulation model system

Table 2 Parameter list

Division	Subdivision	Parameter
Chip	SiCFET	I_d - V_{ds} Characteristic
		C_{dg} - V Characteristic
		C_{ds} - V Characteristic
		C_{gs} - V Characteristic
	SiCSBD	I_f - V_f Characteristic
		C_{ac} - V Characteristic
Other parts	Bus bar	Parasitic inductance/resistance
	Electrode plate	
	Wire	
	Insulating substrate	Parasitic capacitance

3.2. パワー半導体チップモデルのフィッティング

パワー半導体チップモデルは実測特性に対し、近似式で表される特性に最も近くなるパラメータを設定することで、モデルのフィッティングをおこなった。

3.2.1. SiCFET

(1) I_d - V_{ds} 特性 モデルに使用する I_d 近似式は線形領域

$$I_d = I_{sat} (1 + \lambda \cdot V_{ds}) \left(2 - \frac{V_{ds}}{V_{sat}} \right) \frac{V_{ds}}{V_{sat}} \quad (2)$$

飽和領域

$$I_d = I_{sat} (1 + \lambda \cdot V_{ds}) \quad (3)$$

で表される。

ここで、飽和電圧 V_{sat} および飽和電流 I_{sat} は

$$V_{sat} = A(V_{gs} - V_p)^M \quad (4)$$

$$I_{sat} = \frac{K}{2} (V_{gs} - V_p)^N \quad (5)$$

λ : チャネル長の変調パラメータ

V_p : ピンチオフ電圧

K : 伝達コンダクタンス係数

A : 飽和電圧係数

M : 飽和電圧指数

N : 飽和電流指数

で表される。

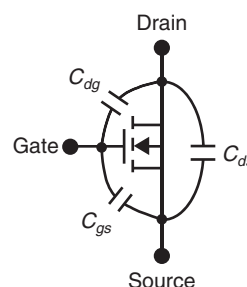
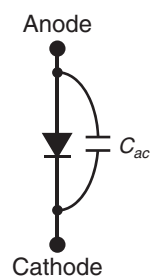


Fig. 5 Chip C parameter



各パラメータを設定しフィッティングした I_d - V_{ds} 特性を Fig. 6 に示す。

(2) C - V_{ds} 特性 C 近似式は

$$C = C_c \left[\delta + \frac{1-\delta}{(1+V_{ds}/V_{Diff})^\alpha} \right] \quad (6)$$

C_c : 各間容量の定数

α : C の接合傾斜係数

δ : C の接合補正係数

V_{Diff} : 拡散電圧

で表される。

各パラメータを設定しフィッティングした C - V_{ds} 特性を Fig. 7 に示す。

3.2.2. SiCSBD

(1) I_f - V_f 特性 I_f 近似式は

$$I_f = I_{sat_fwd} \left[\exp \left(\frac{V_f}{M_{fwd} \cdot V_T} \right) - 1 \right] \quad (7)$$

M_{fwd} : キャリア補正値

I_{sat_fwd} : 動作点における飽和電流

V_T : 熱電圧 (300 K 環境下において 25.5 mV の値を持つ)

で表される。

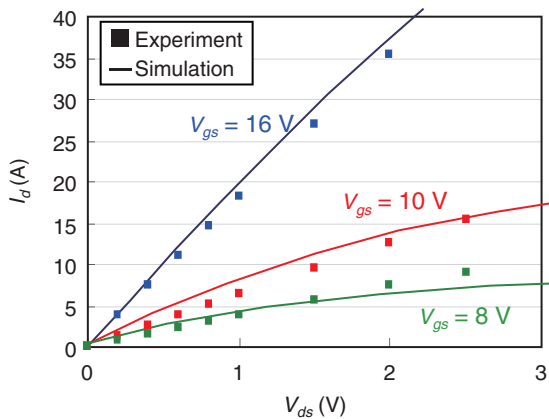


Fig. 6 I_d - V_{ds} fitting diagram

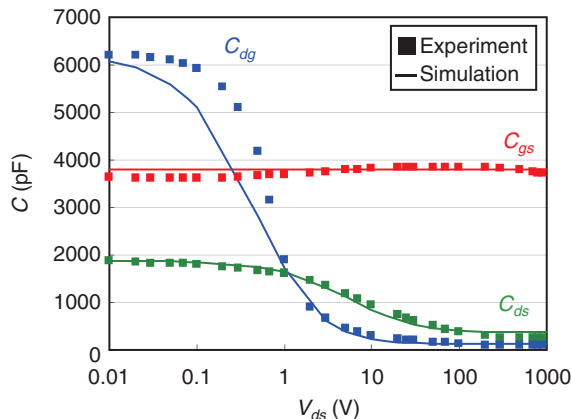


Fig. 7 C - V_{ds} fitting diagram

各パラメータを設定しフィッティングした I_f - V_f 特性を Fig. 8 に示す。

(2) C - V_f 特性 C 近似式は

$$C = C_{j0} \left[\delta + \frac{1-\delta}{(1-V_r/V_{Diff})^\alpha} \right] \quad (8)$$

C_{j0} : ゼロバイアス接合容量,

$V_r = -V_f$

で表される。

各パラメータを設定しフィッティングした C - V_f 特性を Fig. 9 に示す。

3.3. 寄生インピーダンスの算出

シミュレーション回路モデルに用いた SiC-MOSFET, SBD パワーモジュール図を Fig. 10 に示す。モジュール構成部品の寄生インピーダンス値は, Fig. 10 に示す図において, 三次元 LCR パラメータ抽出ソフトウェアを用いて求めた。ここで, サージ電圧に関わる重要なパラメータである寄生インダクタンスにおいては, 電流経路の重なりによって生じる相互インダクタンスを考慮して算出している。

3.4. 回路モデルの作成

3.2. 節でフィッティングしたパワー半導体チップモデルと 3.3. 節で算出した寄生インピーダンスを組み込み, 等価回路モデルを作成した。より再現性を持たせるため,

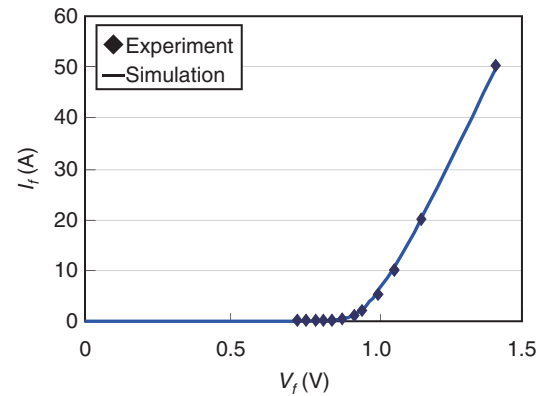


Fig. 8 I_f - V_f fitting diagram

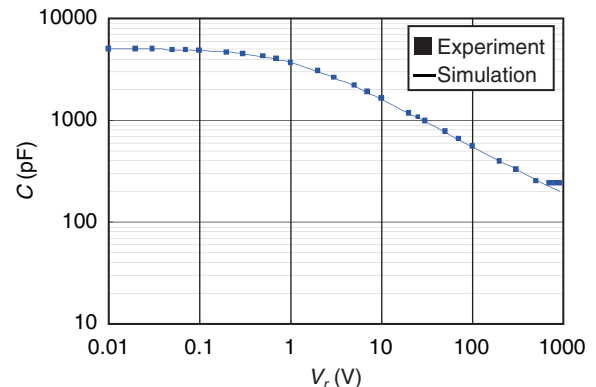


Fig. 9 C - V_r fitting diagram

Direct Brazed Copper (DBC) 基板モデルについては C_1 , C_2 のように分布定数モデルを採用した. シミュレーション回路図を Fig. 11 に示す.

3.5. 実験との検証

SiC-MOSFET の Turn on と Turn off 波形を Fig. 12 と Fig. 13, Turn on 時 I_d ピーク値とリングング周波数, Turn

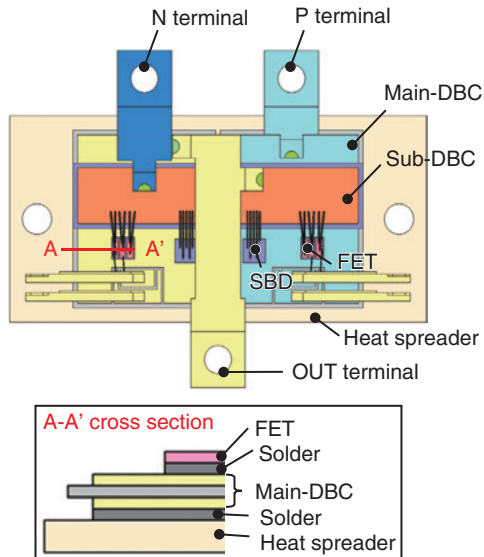


Fig. 10 SiC-MOSFET, SBD power module diagram

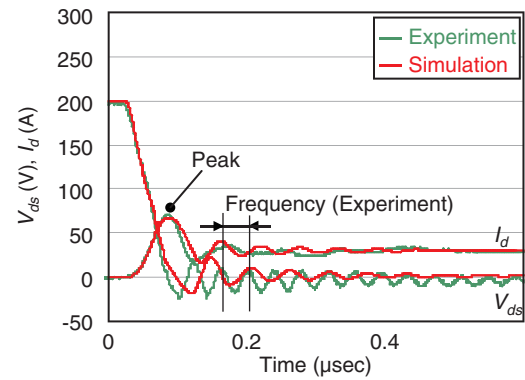


Fig. 12 Turn-on waveform

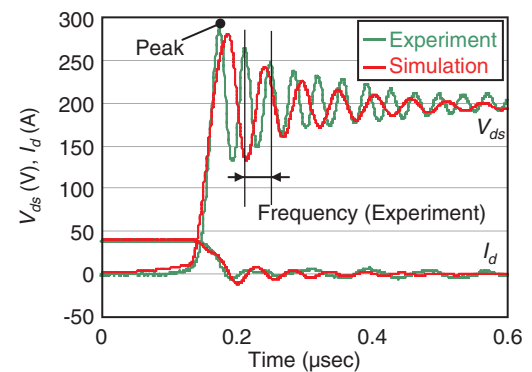


Fig. 13 Turn-off waveform

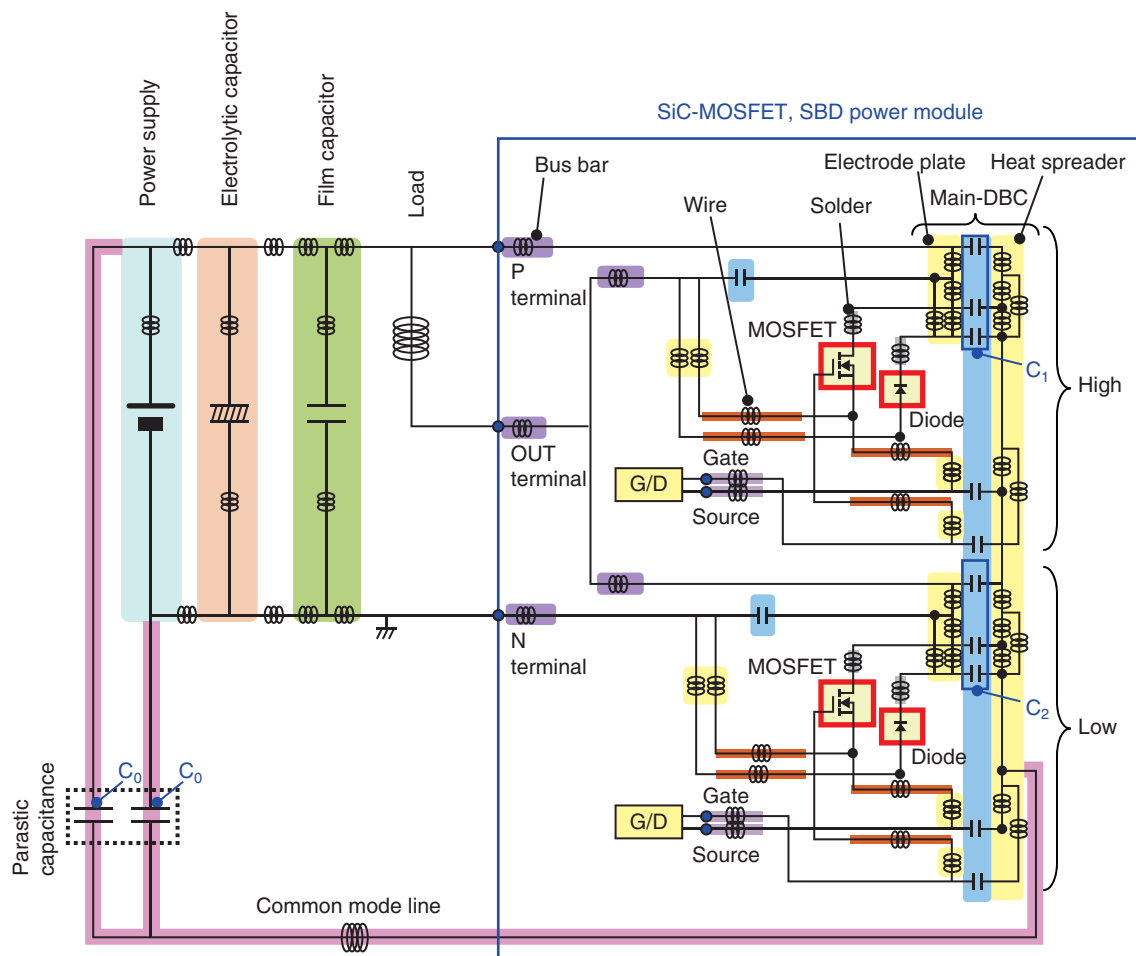


Fig. 11 Simulation diagram (resistance abbreviated)

Table 3 Comparison between experiment and simulation

			Gap	
			Experiment	Simulation
I_d (at turn on)	Peak (A)	Experiment	68	- 3 %
		Simulation	67	
	Frequency (MHz)	Experiment	11.2	+ 18 %
		Simulation	13.2	
V_{ds} (at turn off)	Peak (V)	Experiment	283	- 4 %
		Simulation	280	
	Frequency (MHz)	Experiment	26.3	- 39 %
		Simulation	18.9	

off 時 V_{ds} ピーク値とリングング周波数を Table 3 に示す。ここで、試験条件は、電源電圧 200 V、ドレイン電流 30 A (Turn on 時)、40 A (Turn off 時) である。

電圧／電流ピーク値は、Turn on 時、Turn off 時共に誤差 4 % 以内という結果が得られた。リングング周波数においては、40 % 以内の誤差という結果が得られ、寄生インピーダンスのコリレーションをおこなうことで、さらなる合わせこみが必要である。しかし、EMI 解析においては、MHz オーダーで一致しているため定性的判断は可能と考え、本シミュレーション回路にて解析を進めた。

4. 電力回路における重要部品の抽出と効果

3 章で述べたシミュレーション回路技術を用いることにより、電力回路網における共振周波数から EMI に関わる重要な回路パラメータの抽出をおこなった結果、Fig. 11 に示す C_1 , C_2 , C_0 であることがわかった。

これらの重要なパラメータを最適値にすることで得られたコモンモードノイズの結果を Fig. 14 に示す。従来素子 Si-IGBT に対し、SiC-MOSFET (最適定数設計無し) の場合 12.8 % 増加となるが、最適値設計をおこなうことで最適定数設計無しの場合に対し 81.8 % 低減できた。また、コモンモード電流波形を Fig. 15 に示す。その他、ノーマルノイズやスイッチング損失の性能を含めた評価結果を Fig. 16, Fig. 17 にまとめた。ノーマルノイズにおいては、SiC

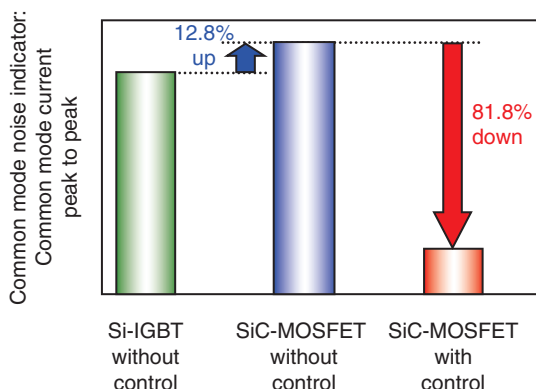


Fig. 14 Common mode current comparison

パワー半導体における高速スイッチング動作がゆえに Si-IGBT に対し 125 % 増大するが、最適定数設計することで 41.5 % 低減できた。また、スイッチング損失においては、最適定数設計によりさらなる低減効果が見込まれることがわかる。

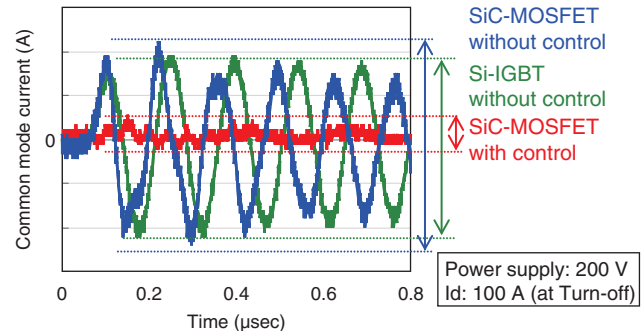


Fig. 15 Common mode current waveform

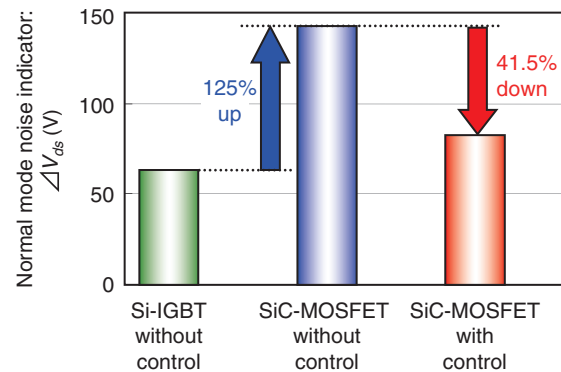


Fig. 16 ΔV_{ds} comparison

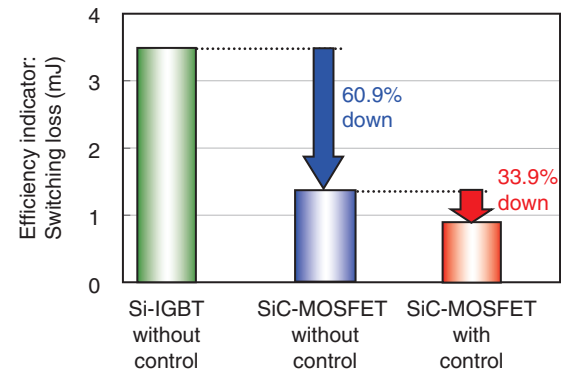


Fig. 17 Switching loss comparison

5. まとめ

SiC パワー半導体搭載の高速スイッチング電力回路におけるシミュレーション技術において、以下の結果を得た。

- (1) パワー半導体チップモデルのフィッティングと、構造部材の配線および線間における寄生インピーダンスを三次元 LCR パラメータ抽出ソフトウェアにより求め、実測とのコリレーションとさらに相互インダクタンス作用のあるパラメータに補正を入れたことによ

り、高い精度の電力回路パラメータを設定することができた。

- (2) 電圧、電流波形および周波数におけるコリレーションをおこない、電力回路としての性能評価をおこなった結果、サージ電圧、電流誤差は4%以内であった。

上記で構築したシミュレーション回路技術により、効率やEMI性能において、以下の結果を得た。

- (3) 効率やEMI性能に関わる重要な回路パラメータを抽出し、最適定数設計することで81.8%のコモンモードノイズ低減および33.9%のスイッチング損失低減効果を得た。

以上より、本研究の技術成果からSiCパワー半導体適用による競争力の高いパワーエレクトロニクス機器設計が可能となった。今後、EMIに関してはノーマルノイズに関わる主電力配線と周辺の詳細な寄生パラメータの合わせ込みを追及する必要がある。

参考文献

- (1) 四戸孝:SiCパワーデバイス, 東芝レビュー, Vol.59, No.2, p.49-53(2004)
- (2) パワーエレクトロニクスハンドブック編集委員会編: パワーエレクトロニクスハンドブック, オーム社, 288p.(2010)

■ 著 者 ■



江越智代



篠原貞夫